

Rec'd PCT/PTO 03 NOV 2006
10/555096

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005371

International filing date: 24 March 2005 (24.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-112318
Filing date: 06 April 2004 (06.04.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

06.4.2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 4 月 6 日
Date of Application:

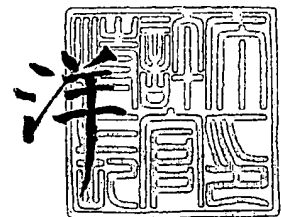
出 願 番 号 特 願 2 0 0 4 - 1 1 2 3 1 8
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 1 1 2 3 1 8]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 5 年 2 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 0390842604
【提出日】 平成16年 4月 6日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H03H 17/00
G11B 5/09
【発明者】
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
【氏名】 梶原 祥行
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代理人】
【識別番号】 100067736
【弁理士】
【氏名又は名称】 小池 晃
【選任した代理人】
【識別番号】 100086335
【弁理士】
【氏名又は名称】 田村 榮一
【選任した代理人】
【識別番号】 100096677
【弁理士】
【氏名又は名称】 伊賀 誠司
【手数料の表示】
【予納台帳番号】 019530
【納付金額】 16,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9707387

【書類名】特許請求の範囲

【請求項 1】

入力信号を等化する等化器に 2 次ボルテラ・フィルタを用いてなる信号処理装置において、

上記 2 次ボルテラ・フィルタの 2 次項を実現する 2 次フィルタは、第 1 の入力信号と第 2 の入力信号とを乗算する乗算手段を備え、

上記乗算手段は、該乗算手段から出力された信号をそれぞれ単位時間だけ遅延する 1 以上の直列に接続された遅延手段と、上記乗算手段から出力された信号及び上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算手段と、上記係数乗算手段の出力を加算する加算手段とを有する

ことを特徴とする信号処理装置。

【請求項 2】

上記 2 次フィルタは、複数の上記乗算手段を備え、

一の乗算手段は、上記第 1 の信号を遅延しない信号を上記第 2 の信号として用い、

他の乗算手段は、上記第 1 の信号を所定時間遅延した信号を上記第 2 の信号として用いる

ことを特徴とする請求項 1 記載の信号処理装置。

【請求項 3】

上記 2 次フィルタは、 n 個 (n は 1 以上の整数) の上記乗算手段を備え、

k 番目 (k は $1 \leq k \leq n$ を満たす整数) の乗算手段は、上記第 1 の信号を上記単位時間の $(k-1)$ 倍だけ遅延した信号を上記第 2 の信号として用いる

ことを特徴とする請求項 1 記載の信号処理装置。

【請求項 4】

入力信号を等化する際に 2 次ボルテラ・フィルタを用いる信号処理方法において、

上記 2 次ボルテラ・フィルタの 2 次項に相当する処理は、

第 1 の入力信号と第 2 の入力信号とを乗算する乗算工程と、

上記乗算工程にて出力された信号を 1 以上の直列に接続された遅延手段によりそれぞれ単位時間だけ遅延する遅延工程と、

上記乗算工程にて出力された信号及び上記遅延工程にて上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算工程と、上記係数乗算工程の出力を加算する加算工程とを有する

ことを特徴とする信号処理方法。

【請求項 5】

入力信号を等化して復号する際の等化器に 2 次ボルテラ・フィルタを用いてなる信号復号装置において、

上記 2 次ボルテラ・フィルタの 1 次項を実現し、上記入力信号を線形等化する 1 次フィルタと、

上記 2 次ボルテラ・フィルタの 2 次項を実現し、上記入力信号を非線形等化する 2 次フィルタと、

上記 1 次フィルタから出力された信号と上記 2 次フィルタから出力された信号とを加算する信号加算手段と、

上記信号加算手段から出力された信号を最尤復号する最尤復号手段とを備え、

上記 2 次フィルタは、第 1 の入力信号と第 2 の入力信号とを乗算する乗算手段を有し、

上記乗算手段は、該乗算手段から出力された信号をそれぞれ単位時間だけ遅延する 1 以上の直列に接続された遅延手段と、上記乗算手段から出力された信号及び上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算手段と、上記係数乗算手段の出力を加算する加算手段とを有する

ことを特徴とする信号復号装置。

【請求項 6】

上記 2 次フィルタは、複数の上記乗算手段を有し、

一の乗算手段は、上記第1の信号を遅延しない信号を上記第2の信号として用い、
他の乗算手段は、上記第1の信号を所定時間遅延した信号を上記第2の信号として用いる

ことを特徴とする請求項5記載の信号復号装置。

【請求項7】

上記2次フィルタは、 n 個 (n は1以上の整数) の上記乗算手段を有し、
 k 番目 (k は $1 \leq k \leq n$ を満たす整数) の乗算手段は、上記第1の信号を上記単位時間の $(k-1)$ 倍だけ遅延した信号を上記第2の信号として用いる

ことを特徴とする請求項5記載の信号復号装置。

【請求項8】

上記信号加算手段から出力された各離散時間における信号と目標信号との誤差を検出する誤差検出手段をさらに備え、

上記係数乗算手段は、上記誤差検出手段で検出された誤差に基づいて、離散時間毎に上記所定の係数を更新する

ことを特徴とする請求項5記載の信号復号装置。

【請求項9】

入力信号を等化して復号する際に2次ボルテラ・フィルタを用いる信号復号方法において、

上記2次ボルテラ・フィルタの1次項に相当する処理を実現し、上記入力信号を線形等化する1次フィルタリング工程と、

上記2次ボルテラ・フィルタの2次項に相当する処理を実現し、上記入力信号を非線形等化する2次フィルタリング工程と、

上記1次フィルタリング工程にて出力された信号と上記2次フィルタリング工程にて出力された信号とを加算する信号加算工程と、

上記信号加算工程にて出力された信号を最尤復号する最尤復号工程とを有し、

上記2次フィルタリング工程は、

第1の入力信号と第2の入力信号とを乗算する乗算工程と、

上記乗算工程にて出力された信号を1以上の直列に接続された遅延手段によりそれぞれ単位時間だけ遅延する遅延工程と、

上記乗算工程にて出力された信号及び上記遅延工程にて上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算工程と、

上記係数乗算工程の出力を加算する加算工程とを有する

ことを特徴とする信号復号方法。

【書類名】明細書

【発明の名称】信号処理装置及び方法、並びに信号復号装置及び方法

【技術分野】

【0001】

本発明は、2次ボルテラ・フィルタの2次項を実現し、非線形歪を持つ入力信号を非線形等化する信号処理装置及びその方法、並びにそのような信号処理装置を備えた信号復号装置及びその方法に関する。

【背景技術】

【0002】

従来、磁気記録技術や光記録技術等を利用したストレージ装置或いは無線通信装置に用いられてきた信号処理装置及びそのソフトウェアアルゴリズムは、入力信号が線形であると仮定して構築された線形信号処理理論に基づいて設計されている。一般的にこれらの入力信号は完全に線形な信号成分のみからなる訳ではなく非線形成分も含まれているが、通常はその非線形成分のパワーが十分に小さいため、近似的に線形な信号とみなすことが可能である。このため、従来においては、線形理論に基づいた信号処理装置がその効果を十分に発揮してきた。

【0003】

しかしながら、近年になってストレージ技術が発達し、その記録密度が高まるにつれて、再生信号中に無視できないほど大きな非線形性が現れるようになっており、それが位相同期ループ (Phase Locked Loop; PLL) 性能の悪化、適応等化フィルタの収束性の悪化、さらには最終的なデータ誤り率の劣化などをもたらしている。そして、記録容量のさらなる増加を目指して記録媒体への高密度記録化が試みられているが、このような記録密度の高い記録媒体や検出感度が高い反面その信号の入出力に非線形応答を持つ検出器を使用することで発生する信号の非線形歪が、装置全体のさらなる性能向上を阻害する大きな要因となっている。

【0004】

これら再生信号の非線形歪の原因として代表的なものは、信号再生側に起因する非線形性、及び記録媒体に起因する非線形性である。前者の代表的な例としては、磁気記録の再生ヘッドとして用いられるMR (Magnetoresistive) ヘッドの磁界電圧変換特性の非線形応答やベースライン・シフトなどが挙げられ、また光記録で用いられるフォトディテクタの持つ非線形応答なども同様に挙げられる。一方、後者の代表的な例としては、磁気記録媒体、光記録媒体ともにその記録密度が高い状態における非線形符号間干渉 (Non Linear Inter Symbol Interference; NLISI) や、光記録における記録媒体の反射率の非線形性がもたらす信号の上下非対称性 (アシンメトリ) などが挙げられる。

【0005】

ここで、最終的な誤り率の劣化の原因について、さらに考察する。

一般的な信号処理装置に実装されるLMS (Least Mean Square) アルゴリズムなどを用いた1次適応等化フィルタでは、非線形歪のない入力信号に対しては、パーシャルレスポンス (Partial Response; PR) などに代表される所定の等化方式に従った目標とする検出値と実際に検出された信号との間の誤差信号を検出することで、その2乗を最小にするようなタップ係数に収束することが保証されている。その一方で、その理論構成上、上下非対称性に代表される非線形歪を補正することはできない。

【0006】

しかしながら、1次適応等化フィルタは、そのアルゴリズムの構成上、単に得られる2乗誤差を最小にするようなタップ係数を探索するため、上下非対称性を持つ入力信号では、本来ストレージ製品で目標とする最終的なデータ誤り率を向上させるために収束すべき理想的なタップ係数の値とは異なった値に収束してしまう可能性が避けられない。このことは、1次適応等化フィルタに入力する信号が非線形歪を持つ場合、本来非線形等化誤差を補正することを想定していない適応等化アルゴリズムに従うことで、予想外の新たな等化誤差 (非線形等化誤差) をもたらしてしまう可能性を示している。そして、このような

非線形等化誤差に起因して、最終的なデータ誤り率も劣化する。

【0007】

このような背景から、非線形歪を持つ信号を非線形等化するための方法として、多項式フィルタを適応等化フィルタとして実装する手法が提案されている（例えば特許文献1，2参照）。一般的に多項式フィルタはボルテラ・フィルタ（Volterra filter）と呼ばれ、従来から様々な分野において検討されてきた。このボルテラ・フィルタは、LMSやRLS（Recursive Least Square）などの適応等化アルゴリズムに従ってタップ係数を更新動作させ、最小二乗誤差の意味で最適化することも可能であり、文献「“Adaptive Polynomial Filters”，V. John Mathews, IEEE SP Magazine, July, 1991, pp.10-26」には適応等化ボルテラ・フィルタの理論が詳細に記載されている。

【0008】

【特許文献1】特表2001-525101号公報

【特許文献2】特開2001-86585号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ここで、一般的な2次ボルテラ・フィルタは、1次フィルタのタップ長を M_1 、2次フィルタのタップ長を M_2 としたとき、以下の式（1）のように表される。この式（1）において、 $y(k)$ は時刻 k における2次ボルテラ・フィルタの出力信号、 $x(k)$ は時刻 k における2次ボルテラ・フィルタへの入力信号、 $h^{(1)}(i)$ は1次フィルタのタップ係数（ $i=0, 1, \dots, M_1-1$ ）、 $h^{(2)}(i_1, i_2)$ は2次フィルタのタップ係数（ $i_1=0, 1, \dots, M_2-1; i_2=0, 1, \dots, M_2-1$ ）をそれぞれ示す。

【0010】

【数1】

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i_1=0}^{M_2-1} \sum_{i_2=0}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x(k-i_1) \cdot x(k-i_2) \dots(1)$$

【0011】

なお、2次ボルテラ・フィルタは、そのタップ数を適応等化アルゴリズムに従って逐次最適化するように実装することが可能である。また、2次ボルテラ・フィルタの1次フィルタ及び2次フィルタのタップ係数の最適値が予め分かっている場合、2次ボルテラ・フィルタは、固定タップ係数のフィルタとして実装することも可能である。

【0012】

式（1）の右辺の計算を入力信号 $x(k)$ について1サイクル終了するには、右辺第1項は M_1 個の乗算演算、右辺第2項は $2 \times M_2 \times M_2$ 個の乗算演算を必要とする。また、1次フィルタへの入力信号遅延線の他に、2次フィルタへの入力信号 $x(k)$ を保持するための遅延線が M_2 クロック分必要である。

【0013】

2次ボルテラ・フィルタの既知の対称性を利用すると、2次フィルタのタップ係数は、以下の式（2）に示す関係を満たす。

【0014】

【数 2】

$$h^{(2)}(i_1, i_2) = h^{(2)}(i_2, i_1) \quad \cdots(2)$$

【0015】

この式(2)の関係を利用すると、上述した式(1)は、以下の式(3)のように簡略化される。

【0016】

【数 3】

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i=0}^{M_2-1} h^{(2)}(i, i) \cdot x^2(k-i) \\ + 2 \sum_{i_1=0}^{M_2-1} \sum_{i_2>i_1}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x(k-i_1) \cdot x(k-i_2) \quad \cdots(3)$$

【0017】

このとき式(3)の右辺第1項は M_1 個の乗算演算、右辺第2項は $2 \times M_2$ 個の乗算演算、右辺第3項は $M_2 \times (M_2 - 1)$ 個の乗算演算を必要とする。

【0018】

式(1)及び式(3)で示す2次ボルテラ・フィルタの2次フィルタ部分の乗算器数を M_2 を変化させた場合について比較して図17及び以下の表1に示す。

【0019】

【表 1】

M2	式(1) 2次項乗算個数	式(3) 2次項乗算個数
1	2	2
2	8	6
3	18	12
4	32	20
5	50	30
6	72	42
7	98	56
8	128	72
9	162	90
10	200	110
11	242	132
12	288	156
13	338	182
14	392	210
15	450	240

【0020】

図17及び表1から分かるように、 M_2 の値が大きくなるにつれて式(3)による乗算

器削減の効果は大きくなるが、式(3)の構成でも $M_2 = 15$ の例で240個もの大量の乗算器が必要となる。

【0021】

このように、高次等化ボルテラ・フィルタは、非線形歪を持つ入力信号を等化する際に非常に効果が大いものの、ハードウェア又はソフトウェアで実現しようとした場合には多くの乗算演算が必要となり、コスト的に実装が困難であるという問題があった。

【0022】

本発明は、このような従来の実情に鑑みて提案されたものであり、非線形歪を持つ入力信号を等化する際の乗算演算を大幅に削減することが可能な信号処理装置及びその方法、並びにそのような信号処理装置を備えた信号復号装置及びその方法を提供することを目的とする。

【課題を解決するための手段】

【0023】

上述した目的を達成するために、本発明に係る信号処理装置は、入力信号を等化する等化器に2次ボルテラ・フィルタを用いてなる信号処理装置において、上記2次ボルテラ・フィルタの2次項を実現する2次フィルタは、第1の入力信号と第2の入力信号とを乗算する乗算手段を備え、上記乗算手段は、該乗算手段から出力された信号をそれぞれ単位時間だけ遅延する1以上の直列に接続された遅延手段と、上記乗算手段から出力された信号及び上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算手段と、上記係数乗算手段の出力を加算する加算手段とを有するものである。

【0024】

また、上述した目的を達成するために、本発明に係る信号処理方法は、入力信号を等化する際に2次ボルテラ・フィルタを用いる信号処理方法において、上記2次ボルテラ・フィルタの2次項に相当する処理は、第1の入力信号と第2の入力信号とを乗算する乗算工程と、上記乗算工程にて出力された信号を1以上の直列に接続された遅延手段によりそれぞれ単位時間だけ遅延する遅延工程と、上記乗算工程にて出力された信号及び上記遅延工程にて上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算工程と、上記係数乗算工程の出力を加算する加算工程とを有するものである。

【0025】

この信号処理装置及びその方法は、2次ボルテラ・フィルタを用いて非線形歪を持つ入力信号を等化するものであり、2次ボルテラ・フィルタの2次項を実現する2次フィルタで必要とされる乗算演算が大幅に削減されている。

【0026】

また、上述した目的を達成するために、本発明に係る信号復号装置は、入力信号を等化して復号する際の等化器に2次ボルテラ・フィルタを用いてなる信号復号装置において、上記2次ボルテラ・フィルタの1次項を実現し、上記入力信号を線形等化する1次フィルタと、上記2次ボルテラ・フィルタの2次項を実現し、上記入力信号を非線形等化する2次フィルタと、上記1次フィルタから出力された信号と上記2次フィルタから出力された信号とを加算する信号加算手段と、上記信号加算手段から出力された信号を最尤復号する最尤復号手段とを備え、上記2次フィルタは、第1の入力信号と第2の入力信号とを乗算する乗算手段を有し、上記乗算手段は、該乗算手段から出力された信号をそれぞれ単位時間だけ遅延する1以上の直列に接続された遅延手段と、上記乗算手段から出力された信号及び上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算手段と、上記係数乗算手段の出力を加算する加算手段とを有するものである。

【0027】

また、上述した目的を達成するために、本発明に係る信号復号方法は、入力信号を等化して復号する際に2次ボルテラ・フィルタを用いる信号復号方法において、上記2次ボルテラ・フィルタの1次項に相当する処理を実現し、上記入力信号を線形等化する1次フィルタリング工程と、上記2次ボルテラ・フィルタの2次項に相当する処理を実現し、上記入力信号を非線形等化する2次フィルタリング工程と、上記1次フィルタリング工程にて

出力された信号と上記 2 次フィルタリング工程にて出力された信号とを加算する信号加算工程と、上記信号加算工程にて出力された信号を最尤復号する最尤復号工程とを有し、上記 2 次フィルタリング工程は、第 1 の入力信号と第 2 の入力信号とを乗算する乗算工程と、上記乗算工程にて出力された信号を 1 以上の直列に接続された遅延手段によりそれぞれ単位時間だけ遅延する遅延工程と、上記乗算工程にて出力された信号及び上記遅延工程にて上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算工程と、上記係数乗算工程の出力を加算する加算工程とを有するものである。

【0028】

この信号復号装置及びその方法は、2 次ボルテラ・フィルタにより入力信号を等化して復号するものであり、2 次ボルテラ・フィルタの 1 次項を実現する 1 次フィルタに加えて、2 次ボルテラ・フィルタの 2 次項を実現する乗算演算が大幅に削減された 2 次フィルタを備えている。

【発明の効果】

【0029】

本発明に係る信号処理装置及びその方法によれば、2 次ボルテラ・フィルタを用いて入力信号を等化する際に、2 次ボルテラ・フィルタの 2 次項を実現する 2 次フィルタで必要とされる乗算演算を大幅に削減することができるため、この 2 次フィルタを LSI (Large-Scale Integrated circuit) で実現する場合の回路規模を削減することができ、また、DSP (Digital Signal Processor) 及びソフトウェアで実現する場合の計算量を削減することができる。

【0030】

また、本発明に係る信号復号装置及びその方法によれば、2 次ボルテラ・フィルタにより入力信号を等化して復号する際に、2 次ボルテラ・フィルタの 1 次項を実現する 1 次フィルタに加えて、2 次ボルテラ・フィルタの 2 次項を実現する乗算演算が大幅に削減された 2 次フィルタを備えているため、少ない乗算演算で非線形歪を効果的に補正することができる。

【発明を実施するための最良の形態】

【0031】

従来より非線形歪を持つ信号を非線形等化するために、ボルテラ・フィルタ (Volterra filter) を用いる手法が提案されている。

【0032】

ここで、一般的な 2 次ボルテラ・フィルタは、1 次フィルタのタップ長を M_1 、2 次フィルタのタップ長を M_2 としたとき、以下の式 (4) のように表される。この式 (4) において、 $y(k)$ は時刻 k における 2 次ボルテラ・フィルタの出力信号、 $x(k)$ は時刻 k における 2 次ボルテラ・フィルタへの入力信号、 $h^{(1)}(i)$ は 1 次フィルタのタップ係数 ($i = 0, 1, \dots, M_1 - 1$)、 $h^{(2)}(i_1, i_2)$ は 2 次フィルタのタップ係数 ($i_1 = 0, 1, \dots, M_2 - 1; i_2 = 0, 1, \dots, M_2 - 1$) をそれぞれ示す。

【0033】

【数 4】

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i_1=0}^{M_2-1} \sum_{i_2=0}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x(k-i_1) \cdot x(k-i_2) \quad \dots(4)$$

【0034】

式 (4) の右辺の計算を入力信号 $x(k)$ について 1 サイクル終了するには、右辺第 1 項は M_1 回の乗算演算、右辺第 2 項は $2 \times M_2 \times M_2$ 回の乗算演算を必要とする。また、

1次フィルタへの入力信号遅延線の他に、2次フィルタへの入力信号 $x(k)$ を保持するための遅延線が M_2 クロック分必要である。

【0035】

また、2次ボルテラ・フィルタの既知の対称性を利用することで、上述した式(4)を以下の式(5)のように簡略化できることが知られている。

【0036】

【数5】

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i=0}^{M_2-1} h^{(2)}(i, i) \cdot x^2(k-i) \\ + 2 \sum_{i_1=0}^{M_2-1} \sum_{i_2>i_1}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x(k-i_1) \cdot x(k-i_2) \quad \cdots(5)$$

【0037】

このとき式(5)の右辺第1項は M_1 回の乗算演算、右辺第2項は $2 \times M_2$ 回の乗算演算、右辺第3項は $M_2 \times (M_2 - 1)$ 回の乗算演算を必要とする。

【0038】

しかしながら、この式(5)のように簡略化しても、 M_2 の値が大きい場合には2次フィルタ部分について膨大な乗算演算を行う必要があるため、2次ボルテラ・フィルタを実装することがコスト的に困難であるという問題があった。

【0039】

そこで、本実施の形態では、2次ボルテラ・フィルタの2次フィルタ部分の演算を以下に説明するように簡略化することで、必要とされる乗算演算を大幅に削減する。

【0040】

なお、本実施の形態における信号処理装置は、2次ボルテラ・フィルタの2次フィルタ部分の演算を行うことで非線形歪を持つ入力信号を非線形等化するものであり、本実施の形態における信号復号装置は、2次ボルテラ・フィルタの1次フィルタ部分の演算を行う等化フィルタに加えて上述の信号処理装置を非線形適応等化フィルタとして備え、光ディスクに記録された信号を等化して復号するものである。

【0041】

以下では、まず2次ボルテラ・フィルタの2次フィルタ部分の演算を簡略化する手法について説明し、次いでそのような簡略化された演算を行う本実施の形態における信号処理装置の構成及びその動作について説明する。

【0042】

2次フィルタ部分の演算を簡略化するため、まず2次ボルテラ・フィルタの入力信号の2次項を以下の式(6)のように置き換える。

【0043】

【数6】

$$x(k-i_1) \cdot x(k-i_2) = x^{(2)}(k, i_1, i_2) \quad \cdots(6)$$

【0044】

この式(6)から、以下の式(7)、(8)の関係を容易に導くことができる。

【0045】

【数7】

$$x^{(2)}(k, i_1, i_2) = x^{(2)}(k, i_2, i_1) \quad \cdots(7)$$

$$\begin{aligned} x^{(2)}(k, i_1 + m, i_2 + m) &= x(k - m - i_1) \cdot x(k - m - i_2) \\ &= x^{(2)}(k - m, i_1, i_2) \end{aligned} \quad \cdots(8)$$

【0046】

また、式(6)を用いることで、上述の式(4)を以下の式(9)のように書き換えることができる。

【0047】

【数8】

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i_1=0}^{M_2-1} \sum_{i_2=0}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x^{(2)}(k, i_1, i_2) \quad \cdots(9)$$

【0048】

この式(9)の第2項は、 $M_2 \times M_2$ 個の要素を持つ2次タップ係数の2次元配列 $h^{(2)}(i_1, i_2)$ の各要素と、ある時刻 k における $M_2 \times M_2$ 個の要素を持つ2次信号の2次元配列 $x^{(2)}(k, i_1, i_2)$ の各要素の対応する (i_1, i_2) 要素同士を乗算し、得られた乗算出力をそれぞれ加算しているとみなすことができる。

【0049】

以下、一例として $M_2 = 6$ の場合について説明する。このとき、 6×6 個の要素を持つ2次信号の2次元配列 $x^{(2)}(k, i_1, i_2)$ の概念図を図1に示す。また、 6×6 個の要素を持つ2次タップ係数の2次元配列 $h^{(2)}(i_1, i_2)$ の概念図を図2に示す。ここで2次フィルタのタップ係数 $h^{(2)}(i_1, i_2)$ は、固定のタップ係数でも任意の適応等化アルゴリズムによって逐次更新されるものでも構わない。上述した式(9)の第2項は、この図1及び図2の対応する (i_1, i_2) 要素同士を乗算し、得られた各項をそれぞれ加算するものである。

【0050】

ここで、式(6)を用いることで、上述した式(5)を以下の式(10)のように書き換えることができる。

【0051】

【数 9】

$$\begin{aligned}
 y(k) = & \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i=0}^{M_2-1} h^{(2)}(i, i) \cdot x^{(2)}(k, i, i) \\
 & + 2 \sum_{i_1=0}^{M_2-1} \sum_{i_2>i_1}^{M_2-1} h^{(2)}(i_1, i_2) \cdot x^{(2)}(k, i_1, i_2) \quad \cdots(10)
 \end{aligned}$$

【0052】

このとき、式(10)の右辺第2項に含まれる2次信号の対角項 $x^{(2)}(k, i, i)$ の各要素が図1の2次元配列中のどの部分に位置するかを図3に示す。図3から分かるように、対角項 $x^{(2)}(k, i, i)$ の各要素は、2次元配列中の $i_1 = i_2$ の要素、すなわち対角要素である。同様に、式(10)の右辺第3項に含まれる非対角項 $x^{(2)}(k, i_1, i_2)$ の各要素が図1の2次元配列中のどの部分に位置するかを図4に示す。図4から分かるように、非対角項 $x^{(2)}(k, i_1, i_2)$ の各要素は、2次元配列中の $i_1 < i_2$ の要素、すなわち対角要素を除いた上三角要素である。

【0053】

ここで、ある時刻 k における 6×6 個の要素を持つ2次元配列 $W^{(2)}(k, i_1, i_2)$ を以下の式(11)のように定義する。

【0054】

【数10】

$$W^{(2)}(k, i_1, i_2) = \begin{cases} x^{(2)}(k, i_1, i_2), & i_1 = i_2, \\ 2x^{(2)}(k, i_1, i_2), & i_1 < i_2, \\ 0, & \text{else.} \end{cases} \quad \cdots(11)$$

【0055】

このとき、 $W^{(2)}(k, i_1, i_2)$ について、任意の整数 m について式(8)から以下の式(12)の関係が容易に導かれる。

【0056】

【数11】

$$W^{(2)}(k, i_1 + m, i_2 + m) = W^{(2)}(k - m, i_1, i_2) \quad \cdots(12)$$

【0057】

また、式(11)を用いることで、上述した式(10)は以下の式(13)のように表される。式(14)は、式(13)を式(15)で示す1次フィルタ出力と式(16)で示す2次フィルタ出力との和で表したものである。

【0058】

【数 12】

$$y(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) + \sum_{i_1=0}^{M_2-1} \sum_{i_2 \geq i_1}^{M_2-1} h^{(2)}(i_1, i_2) \cdot W^{(2)} x(k, i_1, i_2) \quad \cdots(13)$$

$$y(k) = y^{(1)}(k) + y^{(2)}(k) \quad \cdots(14)$$

$$y^{(1)}(k) = \sum_{i=0}^{M_1-1} h^{(1)}(i) \cdot x(k-i) \quad \cdots(15)$$

$$y^{(2)}(k) = \sum_{i_1=0}^{M_2-1} \sum_{i_2 \geq i_1}^{M_2-1} h^{(2)}(i_1, i_2) \cdot W^{(2)} x(k, i_1, i_2) \quad \cdots(16)$$

【0059】

式(13)の2次フィルタの項に含まれる2次元配列 $W^{(2)}(k, i_1, i_2)$ の各要素を図5に示す。図5に示すように、 $W^{(2)}(k, i_1, i_2)$ では、その対角要素を除いた下三角成分としてゼロ値を持つ。比較のため、図5の各要素を式(11)のように $x^{(2)}(k, i_1, i_2)$ を用いて表した2次元配列を図6に示す。

【0060】

また、式(12)を用いて図5の各要素を変換した2次元配列を図7に示す。ここで、 $W^{(2)}(k-m, i_1, i_2)$ は、 $W^{(2)}(k, i_1, i_2)$ を m クロックだけ遅延させた信号を表している。比較のため、図7の各要素を式(11)で示したように $x^{(2)}(k, i_1, i_2)$ を用いて表した2次元配列を図8に示す。

【0061】

ここで、図7における対角要素は、 $W^{(2)}(k, 0, 0)$ 、 $W^{(2)}(k-1, 0, 0)$ 、 \dots 、 $W^{(2)}(k-5, 0, 0)$ となっており、これは $W^{(2)}(k, 0, 0)$ を1クロックずつ遅延させたものに相当する。同様に、対角要素と平行な隣の要素は、 $W^{(2)}(k, 0, 1)$ 、 $W^{(2)}(k-1, 0, 1)$ 、 \dots 、 $W^{(2)}(k-4, 0, 1)$ となっており、これは $W^{(2)}(k, 0, 1)$ を1クロックずつ遅延させたものに相当する。すなわち、図7における対角要素及びこれと平行な複数の1次元配列とみなすことができる非対角要素は、FIR (Finite Impulse Response) フィルタにおける各遅延回路の出力とみなすことができる。また、これら各遅延要素からの出力は、式(12)、(13)で対応するインデックス (i_1, i_2) を持つ2次タップ係数 $h^{(2)}(i_1, i_2)$ との積をとることによって2次フィルタを構成するため、図7の対角要素を構成する2次フィルタ部分とそれに平行している非対角要素部分が構成する2次フィルタ部分とは、それぞれ独立したFIRフィルタを構成しているとみなすことができる。

【0062】

そこで、上述した式(6)、(11)を考慮し、時刻 k における入力を $x(k)$ としたときに式(13)中の $W^{(2)}(k, i_1, i_2)$ を出力する信号処理装置の回路構成の例を図9に示す。図9に示すように、信号処理装置10は、乗算器及び遅延回路からなるFIRフィルタ(FIR0～FIR5)が6個並列に接続されたものであり、各FIRフィルタの間には遅延回路が設けられている。このうち、図9においてFIR0で示された1個目のFIRフィルタ構成は図7における対角要素である $W^{(2)}(k, 0, 0)$ 、 $W^{(2)}(k-1, 0, 0)$ 、 \dots 、 $W^{(2)}(k-5, 0, 0)$ を出力するものであり、図9においてFIR1で示された2個目のFIRフィルタ構成は対角要素と平行な隣の要素である $W^{(2)}(k, 0, 1)$ 、 $W^{(2)}(k-1, 0, 1)$ 、 \dots 、 $W^{(2)}(k-5, 0, 1)$ を出力するものであり、以下同様である。

【0063】

図9において、乗算器12₁では、時刻kにおける入力信号x(k)同士が乗算され、 $W^{(2)}(k, 0, 0) (= x(k) \cdot x(k))$ が出力される。同時に、遅延回路14₁, 15₁, 16₁, 17₁, 18₁でそれぞれ1クロックずつ遅延された信号である $W^{(2)}(k-1, 0, 0), \dots, W^{(2)}(k-5, 0, 0)$ がそれぞれ遅延回路14₁, 15₁, 16₁, 17₁, 18₁から出力される。そして、乗算器12₁からの出力及び遅延回路14₁, 15₁, 16₁, 17₁, 18₁からの出力は、乗算器19₁, 20₁, 21₁, 22₁, 23₁, 24₁で対応するタップ係数 $h^{(2)}(0, 0), h^{(2)}(1, 1), h^{(2)}(2, 2), h^{(2)}(3, 3), h^{(2)}(4, 4), h^{(2)}(5, 5)$ との積がとられ、その出力が加算器25₁で加算され、FIR0の出力となる。

【0064】

また、乗算器12₂では、時刻kにおける入力信号x(k)と遅延回路11₂で遅延された1クロック前の信号x(k-1)とが乗算され、さらに乗算器13₂で2が乗算されて、 $W^{(2)}(k, 0, 1) (= 2x(k) \cdot x(k-1))$ が出力される。同時に、遅延回路14₂, 15₂, 16₂, 17₂でそれぞれ1クロックずつ遅延された信号である $W^{(2)}(k-1, 0, 1), \dots, W^{(2)}(k-4, 0, 1)$ がそれぞれ遅延回路14₂, 15₂, 16₂, 17₂から出力される。そして、乗算器12₂からの出力及び遅延回路14₂, 15₂, 16₂, 17₂からの出力は、乗算器19₂, 20₂, 21₂, 22₂, 23₂で対応するタップ係数 $h^{(2)}(0, 1), h^{(2)}(1, 2), h^{(2)}(2, 3), h^{(2)}(3, 4), h^{(2)}(4, 5)$ との積がとられ、その出力が加算器25₂で加算され、FIR1の出力となる。

【0065】

また、乗算器12₃では、時刻kにおける入力信号x(k)と遅延回路11₃でさらに1クロック遅延された2クロック前の信号x(k-2)とが乗算され、さらに乗算器13₃で2が乗算されて、 $W^{(2)}(k, 0, 2) (= 2x(k) \cdot x(k-2))$ が出力される。同時に、遅延回路14₃, 15₃, 16₃でそれぞれ1クロックずつ遅延された信号である $W^{(2)}(k-1, 0, 2), \dots, W^{(2)}(k-3, 0, 2)$ がそれぞれ遅延回路14₃, 15₃, 16₃から出力される。そして、乗算器12₃からの出力及び遅延回路14₃, 15₃, 16₃からの出力は、乗算器19₃, 20₃, 21₃, 22₃で対応するタップ係数 $h^{(2)}(0, 2), h^{(2)}(1, 3), h^{(2)}(2, 4), h^{(2)}(3, 5)$ との積がとられ、その出力が加算器25₃で加算され、FIR2の出力となる。

【0066】

また、乗算器12₄では、時刻kにおける入力信号x(k)と遅延回路11₄でさらに1クロック遅延された3クロック前の信号x(k-3)とが乗算され、さらに乗算器13₄で2が乗算されて、 $W^{(2)}(k, 0, 3) (= 2x(k) \cdot x(k-3))$ が出力される。同時に、遅延回路14₄, 15₄でそれぞれ1クロックずつ遅延された信号である $W^{(2)}(k-1, 0, 3), W^{(2)}(k-2, 0, 3)$ がそれぞれ遅延回路14₄, 15₄から出力される。そして、乗算器12₄からの出力及び遅延回路14₄, 15₄からの出力は、乗算器19₄, 20₄, 21₄で対応するタップ係数 $h^{(2)}(0, 3), h^{(2)}(1, 4), h^{(2)}(2, 5)$ との積がとられ、その出力が加算器25₄で加算され、FIR3の出力となる。

【0067】

また、乗算器12₅では、時刻kにおける入力信号x(k)と遅延回路11₅でさらに1クロック遅延された4クロック前の信号x(k-4)とが乗算され、さらに乗算器13₅で2が乗算されて、 $W^{(2)}(k, 0, 4) (= 2x(k) \cdot x(k-4))$ が出力される。同時に、遅延回路14₅で1クロック遅延された信号である $W^{(2)}(k-1, 0, 4)$ が遅延回路14₅から出力される。そして、乗算器12₅からの出力及び遅延回路14₅からの出力は、乗算器19₅, 20₅で対応するタップ係数 $h^{(2)}(0, 4), h^{(2)}(1, 5)$ との積がとられ、その出力が加算器25₅で加算され、FIR4の出力となる。

【0068】

そして、乗算器 126 では、時刻 k における入力信号 $x(k)$ と遅延回路 116 でさらに 1 クロック遅延された 5 クロック前の信号 $x(k-5)$ とが乗算され、さらに乗算器 136 で 2 が乗算されて、 $W^{(2)}(k, 0, 5) (= 2x(k) \cdot x(k-5))$ が出力される。さらに乗算器 206 では、この出力に対して乗算器 196 で対応するタップ係数 $h^{(2)}(0, 5)$ との積がとられ、その出力が FIR 5 の出力となる。

【0069】

最終的な 2 次フィルタの出力は、各 FIR フィルタ (FIR 0 ~ FIR 5) の出力を加算器 26 で加算した和で表される。

【0070】

ここで、乗算器 132, ..., 136 で 2 を乗算することは、ディジタル回路における 2 進数を用いた演算において 1 ビットの左シフトとして扱えるため、専用の乗算器は不要である。したがって、 $M_2 = 6$ の場合、2 次フィルタ部分の乗算器は、乗算器 121, ..., 126、191, ..., 196、201, ..., 205、211, ..., 214、221, ..., 223、231、232、241 の合計 27 個しか必要ない。

【0071】

式 (13) で示す 2 次ボルテラ・フィルタの 2 次フィルタ部分の乗算器数を M_2 を変化した場合について図 10 及び以下の表 2 に示す。なお、従来の乗算器数と比較するため、図 10 及び表 2 には、式 (4) 及び式 (5) で示した従来の 2 次ボルテラ・フィルタの 2 次フィルタ部分の乗算器数についても併せて示す。

【0072】

【表 2】

M2	式(4) 2次項乗算個数	式(5) 2次項乗算個数	式(13) 2次項乗算個数
1	2	2	2
2	8	6	4
3	18	12	6
4	32	20	8
5	50	30	10
6	72	42	12
7	98	56	14
8	128	72	16
9	162	90	18
10	200	110	20
11	242	132	22
12	288	156	24
13	338	182	26
14	392	210	28
15	450	240	30

【0073】

図 10 及び表 2 から分かるように、本実施の形態における手法によれば、式 (5) に示す従来の演算削減手法と併用することで、式 (4) と比べて乗算演算を大幅に削減することができる。また、本実施の形態における手法によれば、式 (5) で示す従来の演算削減手法を単独で使用した場合と比べて大幅に乗算演算を削減することができる。この効果は、 M_2 の値が大きい場合に顕著である。

【0074】

なお、上述した信号処理装置 10 は、図 8 に示した 2 次元配列の各要素を出力するために図 9 に示すような構成としたが、各 FIR フィルタの構成は独立であるため、フィルタ

の等化性能が所望の性能、例えばデータ誤り率等が所定の値以上の場合など、ストレージ装置として必要とする性能が十分得られれば、乗算器 191, ..., 196, 201, ..., 205, 211, ..., 214, 221, ..., 223, 231, 232, 241 の数、すなわち各 FIR フィルタ (FIR0 ~ FIR5) のタップ長を変更することも可能である。また、同様にフィルタの等化性能が所望の性能に対して十分得られれば、FIR フィルタの個数を変更することも可能である。但し、FIR フィルタ (FIR0 ~ FIR5) の対角項 (FIR0) から非対角項 (FIR1 ~ FIR5) へと向かう時間軸方向の深さは、等化目標の PR (Partial Response) の符号間干渉 (Inter Symbol Interference; ISI) の長さに関連する量であると考えられるため、ISI 長さと同じかそれ以上多く設けることが好ましい。ここで、PR 符号間干渉の長さとは、例えば PR (111) の場合、3 である。さらに、任意の適応等化アルゴリズムによってタップ係数を更新する場合、1 ビット・シフトを行う乗算器 132, ..., 136 を除いた構成も可能であるが、2 次フィルタのタップ係数の収束が遅くなってしまうため、この乗算器 132, ..., 136 を設けた構成の方が好ましい。但し、図 11、12 に示すような回路構成をとることにより、1 ビット・シフトを行う乗算器の数を削減したり事実上回路から除いたりしても、性能の劣化をもたらさないようにすることも可能である。

【0075】

図 11 に示す信号処理装置 10 の回路構成は、図 9 に示した回路構成をさらに簡略化したものであり、図 9 よりも演算規模がさらに削減されている。具体的には、FIR1 ~ FIR5 の出力を加算器 27 で加算した後に、図 9 の乗算器 132, ..., 136 に相当する計算を乗算器 28 において行い、さらにその出力と FIR0 の加算器 251 の出力とを加算器 29 で加算することにより、FIR1 ~ FIR5 で必要なビット幅を削減し、2 倍を意味する 1 ビット・シフト演算を 1 つに削減する。

【0076】

また、この 1 ビット・シフト演算で表される 2 倍の係数は、各タップ係数を予め 2 倍にしておくことで、タップ係数自体に組み入れることも可能である。また、そのタップ係数が適応等化アルゴリズムによって更新される場合には、2 倍の係数をそのタップ係数自体又はタップ係数更新のステップゲインパラメータに組み入れることができる。後者の場合、対角項のステップゲインパラメータが μ_2 のとき、非対角項のステップゲインパラメータを $2 \times \mu_2$ とすれば、各 FIR フィルタ (FIR1 ~ FIR5) から 2 倍の係数が必要なくなるため、図 9 における乗算器 132, ..., 136 が不要となり、回路構成がより簡略化される。これらの場合の回路構成を図 12 に示す。この場合、非対角項のタップ係数の更新速度が 2 倍となるため、非対角項のタップ係数の値が 2 倍されているのと事実上同じである。

【0077】

以上のように、本実施の形態における信号処理装置 10 によれば、非線形歪を持つ入力信号を非線形等化する際の乗算演算を大幅に削減することができるため、LSI (Large-Scale Integrated circuit) で実現する場合の回路規模を削減することができ、また、DSP (Digital Signal Processor) 及びソフトウェアで実現する場合の計算量を削減することができる。

【0078】

図 13 に $M_1 = 10$ の場合の 1 次フィルタの回路構成例を示す。1 次フィルタは、入力信号 $x(k)$ を遅延させる遅延回路 301, ..., 309 と、入力信号 $x(k)$ 及び遅延回路 301, ..., 309 から出力された遅延信号 $x(k-1)$, ..., $x(k-9)$ に対して所定のフィルタタップ係数を乗算する乗算器 311, ..., 3110 と、乗算器 311, ..., 3110 の出力を加算する加算器 32 とから構成される。タップ係数 $h^{(1)}(i)$ ($i = 0, \dots, 9$) は、固定されたタップ係数でも任意の適応等化アルゴリズムによって更新されるものでも構わない。

【0079】

次に、このような信号処理装置 10 を非線形適応等化フィルタとして備える本実施の形

態における信号復号装置の構成及び動作について説明する。

【0080】

図14に示す信号復号装置50において、光ディスク40に記録された信号を再生する際には、光学ヘッド51内のレーザ光源からのレーザ光が光学系を介して光ディスク40に照射され、その戻り光が光学ヘッド51内の光学系を介して受光素子に受光され、光電変換される。光学ヘッド51内の受光素子からの信号は、RF (Radio Frequency) アンプ52で増幅され、A/D (Analogue/Digital) コンバータ53で量子化される。

【0081】

量子化された信号は、DPLL (Digital Phase Locked Loop) 回路54に送られ、DPLLにより同期したクロックでサンプリングされたものと同等のRF信号が出力される。DPLL回路54からの出力信号は、線形適応等化フィルタ55及び非線形適応等化フィルタ56で適応等化処理が施され、それぞれの出力信号が加算器57で加算される。加算された信号 $y(k)$ は、LMS (Least Mean Square) エラー検出器58及びビタビ検出回路59に送られる。なお、線形適応等化フィルタ55は、式(13)で示した2次ボルテラ・フィルタの1次フィルタ部分の演算を行うものである。一方、非線形適応等化フィルタ56は、2次フィルタ部分の演算を行うものであり、例えば上述した図9のように構成される。

【0082】

加算器57からの信号がLMSエラー検出器58に送られると、所定の等化方式に従った目標とする検出値との間の誤差信号が検出され、その誤差信号に基づいて1次フィルタ及び2次フィルタのタップ係数が更新される。LMSエラー検出器58内部での入力符号系列の検出方法は任意であり、例えば閾値検出、FDT S (Fixed Delay Tree Search)、ビタビ検出器などの一般的な手法によって元の符号系列が検出される。具体的に、LMSエラー検出器58では、検出器で判定された符号系列と等化目標のPR係数が畳み込まれて仮判定PR信号 $d(k)$ が生成され、時刻 k における目標とする仮判定PR信号検出値 $d(k)$ と時刻 k における加算器57からの信号 $y(k)$ との間の誤差信号 $e(k)$ ($=d(k) - y(k)$) が検出される。そして、以下の式(17)に従って1次フィルタの次の時刻、すなわち時刻 $k+1$ におけるタップ係数 $h^{(1)}(k+1:i)$ が更新されると共に、以下の式(18)に従って2次フィルタの時刻 $k+1$ におけるタップ係数 $h^{(2)}(k+1:i_1, i_2)$ が更新される。この式(17)、(18)において、 μ_1 、 μ_2 はLMSアルゴリズムのステップゲインパラメータを示す。更新されたタップ係数は、線形適応等化フィルタ55及び非線形適応等化フィルタ56のそれぞれに送られる。

【0083】

【数13】

$$h^{(1)}(k+1:i) = h^{(1)}(k:i) + \mu_1 \cdot e(k) \cdot x(k-i) \quad \cdots(17)$$

$$h^{(2)}(k+1:i_1, i_2) = h^{(2)}(k:i_1, i_2) + \mu_2 \cdot e(k) \cdot x(k-i_1) \cdot x(k-i_2) \quad \cdots(18)$$

【0084】

また、加算器57からの信号は、ビタビ検出回路59でビタビアルゴリズムに基づく復号処理が施され、復調回路60で記録時の変調の逆処理としての復調処理が施される。復調された再生データは、エラー訂正回路61に送られてエラー訂正処理が施される。

【0085】

ここで、具体的な信号における等化結果を図15及び図16に示す。図15は、線形適応等化フィルタ55のみで等化を行った例を示し、図16は、線形適応等化フィルタ55及び非線形適応等化フィルタ56で等化を行った例を示す。なお、何れも等化方式はPR

(111)である。本実施例では、図14の信号復号装置50について、光ディスク再生信号を計算機による数値計算シミュレーションで生成し、それをA/Dコンバータ相当のプログラムでサンプリングし、図14のデジタル部を信号処理プログラムで構成した。またシミュレーション波形には15パーセントのアシンメトリを発生させた。

【0086】

以下に図14のDPLL回路54出力での等化前デジタルデータ及び加算器57出力での線形・非線形適応等化後デジタルデータを、デジタル信号処理のサンプリング定理を満たす補間関数であるSINC関数で補間して表示したアイパターンを示す。

【0087】

線形適応等化フィルタ55のみを用いた場合、図15(A)に示すDPLL回路54の出力すなわち等化前のアイパターンと図15(B)に示す等化後のアイパターンを比較して分かるように、等化前の波形に発生させた非線形性、すなわち15パーセントのアシンメトリが等化後においても非線形等化誤差として残留しており、下側のアイがつぶれたままである。これに対して、線形適応等化フィルタ55及び非線形適応等化フィルタ56を用いた場合、図16(A)に示すDPLL回路54の出力すなわち等化前のアイパターンと図16(B)に示す等化後のアイパターンを比較すると、非線形適応等化フィルタの効果により等化前の波形に発生させた非線形性、すなわち15パーセントのアシンメトリが改善され、上下対称なアイパターンが得られていることが分かる。

【0088】

以上のように、本実施の形態における信号復号装置50によれば、従来の線形適応等化を行う線形適応等化フィルタ55に加えて、上述した信号処理装置10に対応する非線形適応等化フィルタ56を設けることで、光ディスク40に記録された信号を再生する際に、非線形歪を効果的に補正することができる。特に、この非線形適応等化フィルタ56は、必要な乗算演算が従来よりも大幅に削減されているため、実装が容易である。

【図面の簡単な説明】

【0089】

【図1】 $M_2 = 6$ の場合における2次元配列 $x^{(2)}(k, i_1, i_2)$ の概念図である。

【図2】 $M_2 = 6$ の場合における2次元配列 $h^{(2)}(i_1, i_2)$ の概念図である。

【図3】 図1に示す2次元配列中の対角項 $x^{(2)}(k, i, i)$ の要素を示す図である。

【図4】 図1に示す2次元配列中の非対角項 $x^{(2)}(k, i_1, i_2)$ の要素を示す図である。

【図5】 $M_2 = 6$ の場合における2次元配列 $W^{(2)}(k, i_1, i_2)$ の概念図である。

【図6】 図5に示す2次元配列 $W^{(2)}(k, i_1, i_2)$ の各要素の内容を $x^{(2)}(k, i_1, i_2)$ を用いて表した図である。

【図7】 図5に示す2次元配列 $W^{(2)}(k, i_1, i_2)$ の各要素の内容を式(12)を用いて変換した図である。

【図8】 図7に示す2次元配列 $W^{(2)}(k, i_1, i_2)$ の各要素の内容を $x^{(2)}(k, i_1, i_2)$ を用いて表した図である。

【図9】 本実施の形態における信号処理装置の概略構成の一例を説明する図である。

【図10】 本実施の形態における信号処理装置の概略構成の他の例を説明する図である。

【図11】 本実施の形態における信号処理装置の概略構成の他の例を説明する図である。

【図12】 本実施の形態における2次ボルテラ・フィルタの2次フィルタのタップ長と、そのときに必要な乗算器数との関係を示す図である。

【図13】 $M_1 = 10$ の場合における1次フィルタの回路構成例を示す図である。

【図14】 本実施の形態における信号復号装置の概略構成を説明する図である。

【図15】非線形歪を持つ入力信号を線形適応等化フィルタのみで等化した場合のアイパターンを示す図である。

【図16】非線形歪を持つ入力信号を線形適応等化フィルタ及び非線形適応等化フィルタで等化した場合のアイパターンを示す図である。

【図17】従来の2次ボルテラ・フィルタの2次フィルタのタップ長と、そのときに必要な乗算器数との関係を示す図である。

【符号の説明】

【0090】

10 信号処理装置、11₂, ..., 11₆ 遅延回路、12₁, ..., 12₆ 乗算器、13₂, ..., 13₆ 乗算器、14₁, ..., 14₅ 遅延回路、15₁, ..., 15₄ 遅延回路、16₁, ..., 16₃ 遅延回路、17₁, 17₂ 遅延回路、18₁ 遅延回路、19₁, ..., 19₆ 乗算器、20₁, ..., 20₅ 乗算器、21₁, ..., 21₄ 乗算器、22₁, ..., 22₃ 乗算器、23₁, 23₂ 乗算器、24₁ 乗算器、25₁, ..., 25₅ 加算器、26 加算器、40 光ディスク、50 信号復号装置、51 光学ヘッド、52 RFアンプ、53 A/Dコンバータ、54 DPLL回路、55 線形適応等化フィルタ、56 非線形適応等化フィルタ、57 加算器、58 LMSエラー検出器、59 ビタビ検出回路、60 復調回路、61 エラー訂正回路

【書類名】図面
【図1】

		i_2					
		0	1	2	3	4	5
i_1	0	$x^{(2)}(k,0,0)$	$x^{(2)}(k,0,1)$	$x^{(2)}(k,0,2)$	$x^{(2)}(k,0,3)$	$x^{(2)}(k,0,4)$	$x^{(2)}(k,0,5)$
	1	$x^{(2)}(k,1,0)$	$x^{(2)}(k,1,1)$	$x^{(2)}(k,1,2)$	$x^{(2)}(k,1,3)$	$x^{(2)}(k,1,4)$	$x^{(2)}(k,1,5)$
	2	$x^{(2)}(k,2,0)$	$x^{(2)}(k,2,1)$	$x^{(2)}(k,2,2)$	$x^{(2)}(k,2,3)$	$x^{(2)}(k,2,4)$	$x^{(2)}(k,2,5)$
	3	$x^{(2)}(k,3,0)$	$x^{(2)}(k,3,1)$	$x^{(2)}(k,3,2)$	$x^{(2)}(k,3,3)$	$x^{(2)}(k,3,4)$	$x^{(2)}(k,3,5)$
	4	$x^{(2)}(k,4,0)$	$x^{(2)}(k,4,1)$	$x^{(2)}(k,4,2)$	$x^{(2)}(k,4,3)$	$x^{(2)}(k,4,4)$	$x^{(2)}(k,4,5)$
	5	$x^{(2)}(k,5,0)$	$x^{(2)}(k,5,1)$	$x^{(2)}(k,5,2)$	$x^{(2)}(k,5,3)$	$x^{(2)}(k,5,4)$	$x^{(2)}(k,5,5)$

【図 2】

i_1	i_2					
	0	1	2	3	4	5
0	$h^{(2)}(0,0)$	$h^{(2)}(0,1)$	$h^{(2)}(0,2)$	$h^{(2)}(0,3)$	$h^{(2)}(0,4)$	$h^{(2)}(0,5)$
1	$h^{(2)}(1,0)$	$h^{(2)}(1,1)$	$h^{(2)}(1,2)$	$h^{(2)}(1,3)$	$h^{(2)}(1,4)$	$h^{(2)}(1,5)$
2	$h^{(2)}(2,0)$	$h^{(2)}(2,1)$	$h^{(2)}(2,2)$	$h^{(2)}(2,3)$	$h^{(2)}(2,4)$	$h^{(2)}(2,5)$
3	$h^{(2)}(3,0)$	$h^{(2)}(3,1)$	$h^{(2)}(3,2)$	$h^{(2)}(3,3)$	$h^{(2)}(3,4)$	$h^{(2)}(3,5)$
4	$h^{(2)}(4,0)$	$h^{(2)}(4,1)$	$h^{(2)}(4,2)$	$h^{(2)}(4,3)$	$h^{(2)}(4,4)$	$h^{(2)}(4,5)$
5	$h^{(2)}(5,0)$	$h^{(2)}(5,1)$	$h^{(2)}(5,2)$	$h^{(2)}(5,3)$	$h^{(2)}(5,4)$	$h^{(2)}(5,5)$

【図 3】

i_1	i_2					
	0	1	2	3	4	5
0	$x^{(2)}(k,0,0)$					
1		$x^{(2)}(k,1,1)$				
2			$x^{(2)}(k,2,2)$			
3				$x^{(2)}(k,3,3)$		
4					$x^{(2)}(k,4,4)$	
5						$x^{(2)}(k,5,5)$

【図 4】

i_1	i_2					
	0	1	2	3	4	5
0		$x^{(2)}(k,0,1)$	$x^{(2)}(k,0,2)$	$x^{(2)}(k,0,3)$	$x^{(2)}(k,0,4)$	$x^{(2)}(k,0,5)$
1			$x^{(2)}(k,1,2)$	$x^{(2)}(k,1,3)$	$x^{(2)}(k,1,4)$	$x^{(2)}(k,1,5)$
2				$x^{(2)}(k,2,3)$	$x^{(2)}(k,2,4)$	$x^{(2)}(k,2,5)$
3					$x^{(2)}(k,3,4)$	$x^{(2)}(k,3,5)$
4						$x^{(2)}(k,4,5)$
5						

【図 5】

		i_2					
i_1		0	1	2	3	4	5
		0	1	2	3	4	5
0		$W^{(2)}(k,0,0)$	$W^{(2)}(k,0,1)$	$W^{(2)}(k,0,2)$	$W^{(2)}(k,0,3)$	$W^{(2)}(k,0,4)$	$W^{(2)}(k,0,5)$
1		0	$W^{(2)}(k,1,1)$	$W^{(2)}(k,1,2)$	$W^{(2)}(k,1,3)$	$W^{(2)}(k,1,4)$	$W^{(2)}(k,1,5)$
2		0	0	$W^{(2)}(k,2,2)$	$W^{(2)}(k,2,3)$	$W^{(2)}(k,2,4)$	$W^{(2)}(k,2,5)$
3		0	0	0	$W^{(2)}(k,3,3)$	$W^{(2)}(k,3,4)$	$W^{(2)}(k,3,5)$
4		0	0	0	0	$W^{(2)}(k,4,4)$	$W^{(2)}(k,4,5)$
5		0	0	0	0	0	$W^{(2)}(k,5,5)$

【図 6】

	i_2	0	1	2	3	4	5
i_1	0	$x^{(2)}(k,0,0)$	$2x^{(2)}(k,0,1)$	$2x^{(2)}(k,0,2)$	$2x^{(2)}(k,0,3)$	$2x^{(2)}(k,0,4)$	$2x^{(2)}(k,0,5)$
	1	0	$x^{(2)}(k,1,1)$	$2x^{(2)}(k,1,2)$	$2x^{(2)}(k,1,3)$	$2x^{(2)}(k,1,4)$	$2x^{(2)}(k,1,5)$
	2	0	0	$x^{(2)}(k,2,2)$	$2x^{(2)}(k,2,3)$	$2x^{(2)}(k,2,4)$	$2x^{(2)}(k,2,5)$
	3	0	0	0	$x^{(2)}(k,3,3)$	$2x^{(2)}(k,3,4)$	$2x^{(2)}(k,3,5)$
	4	0	0	0	0	$x^{(2)}(k,4,4)$	$2x^{(2)}(k,4,5)$
	5	0	0	0	0	0	$x^{(2)}(k,5,5)$

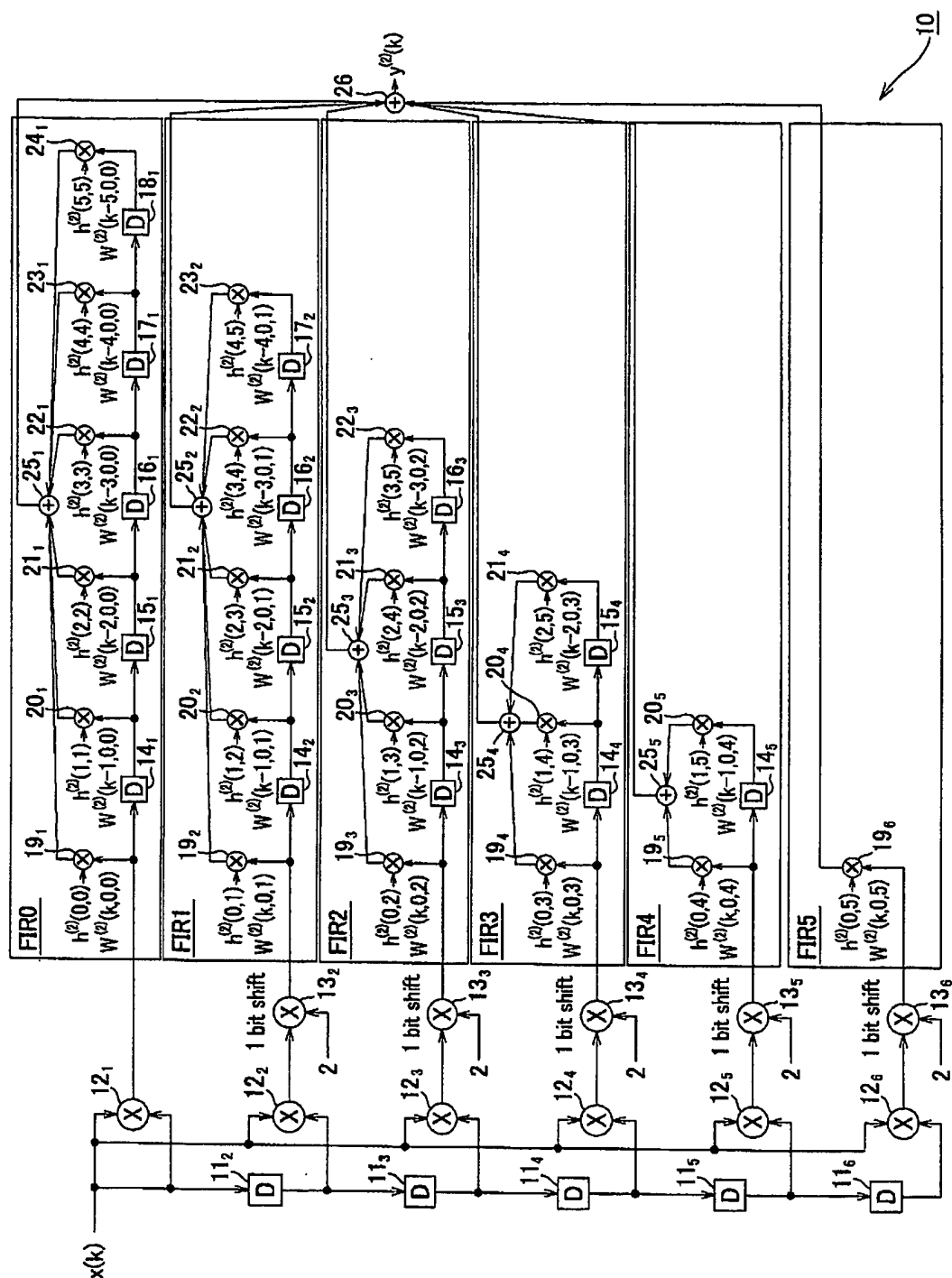
【図 7】

i_2	i_1	0	1	2	3	4	5
0	0	$W^{(2)}(k,0,0)$	$W^{(2)}(k,0,1)$	$W^{(2)}(k,0,2)$	$W^{(2)}(k,0,3)$	$W^{(2)}(k,0,4)$	$W^{(2)}(k,0,5)$
1	0	0	$W^{(2)}(k-1,0,0)$	$W^{(2)}(k-1,0,1)$	$W^{(2)}(k-1,0,2)$	$W^{(2)}(k-1,0,3)$	$W^{(2)}(k-1,0,4)$
2	0	0	0	$W^{(2)}(k-2,0,0)$	$W^{(2)}(k-2,0,1)$	$W^{(2)}(k-2,0,2)$	$W^{(2)}(k-2,0,3)$
3	0	0	0	0	$W^{(2)}(k-3,0,0)$	$W^{(2)}(k-3,0,1)$	$W^{(2)}(k-3,0,2)$
4	0	0	0	0	0	$W^{(2)}(k-4,0,0)$	$W^{(2)}(k-4,0,1)$
5	0	0	0	0	0	0	$W^{(2)}(k-5,0,0)$

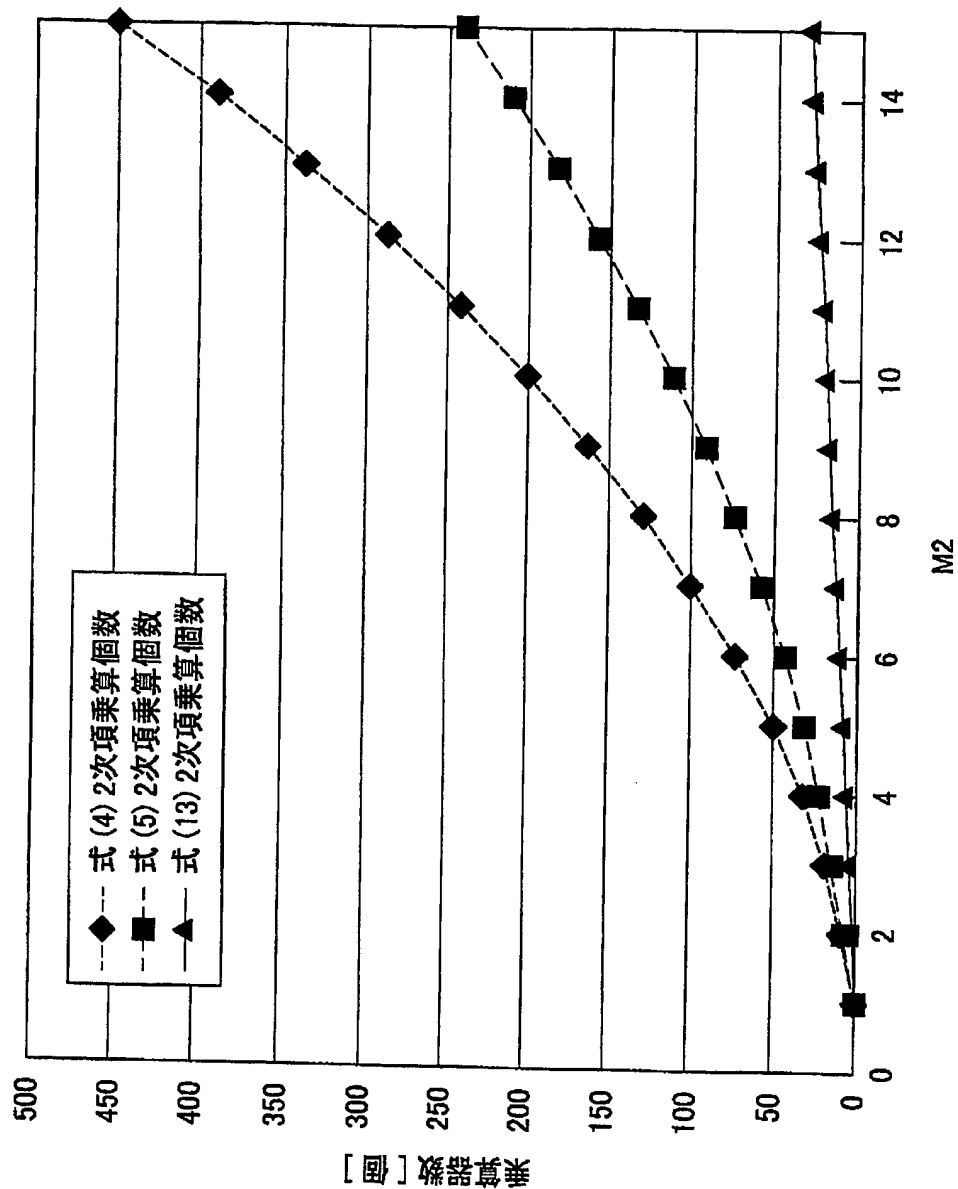
【図 8】

i_2	0	1	2	3	4	5
0	$x^{(2)}(k,0,0)$	$2x^{(2)}(k,0,1)$	$2x^{(2)}(k,0,2)$	$2x^{(2)}(k,0,3)$	$2x^{(2)}(k,0,4)$	$2x^{(2)}(k,0,5)$
1	0	$x^{(2)}(k-1,0,0)$	$2x^{(2)}(k-1,0,1)$	$2x^{(2)}(k-1,0,2)$	$2x^{(2)}(k-1,0,3)$	$2x^{(2)}(k-1,0,4)$
2	0	0	$x^{(2)}(k-2,0,0)$	$2x^{(2)}(k-2,0,1)$	$2x^{(2)}(k-2,0,2)$	$2x^{(2)}(k-2,0,3)$
3	0	0	0	$x^{(2)}(k-3,0,0)$	$2x^{(2)}(k-3,0,1)$	$2x^{(2)}(k-3,0,2)$
4	0	0	0	0	$x^{(2)}(k-4,0,0)$	$2x^{(2)}(k-4,0,1)$
5	0	0	0	0	0	$x^{(2)}(k-5,0,0)$

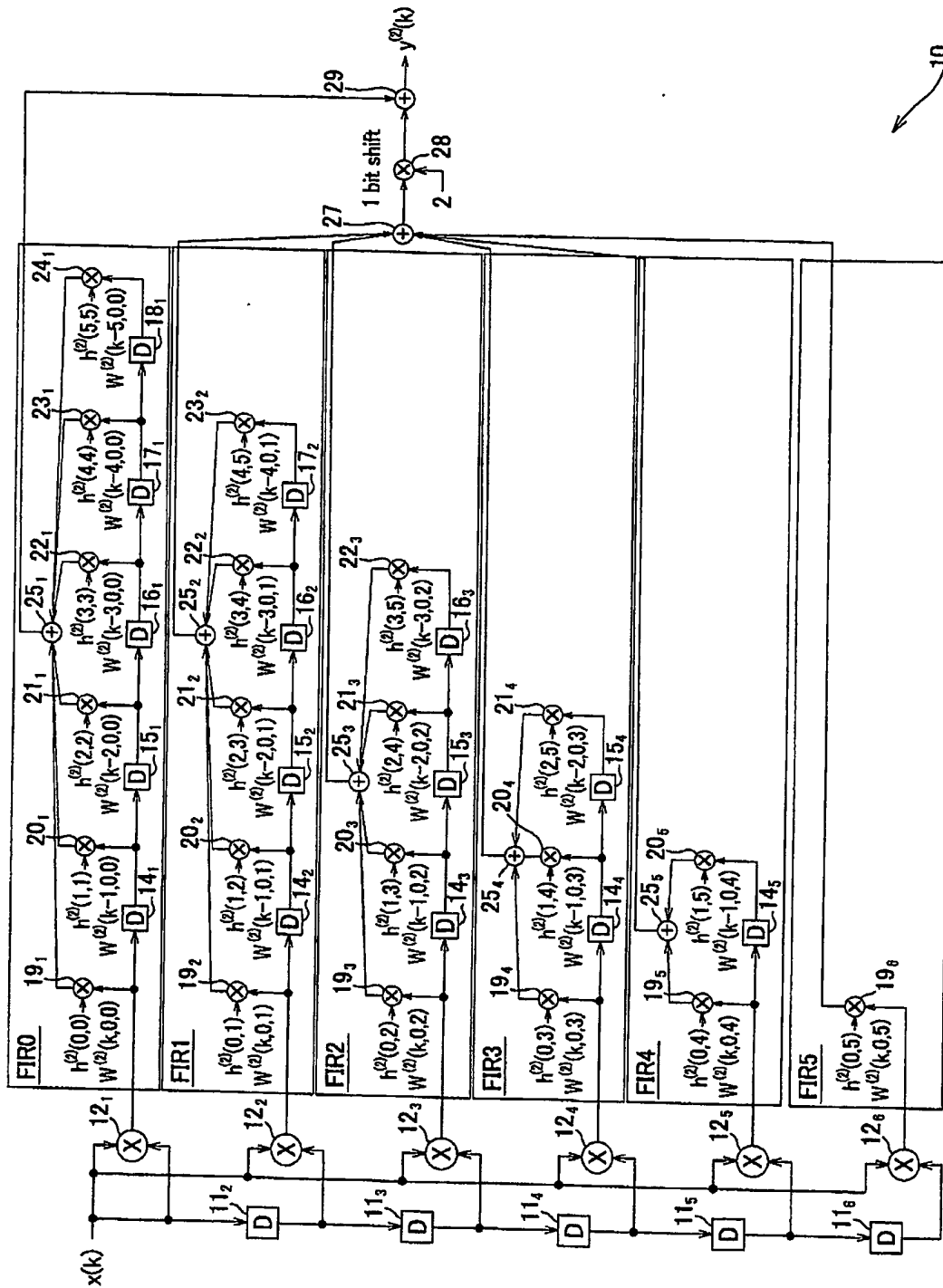
【図 9】



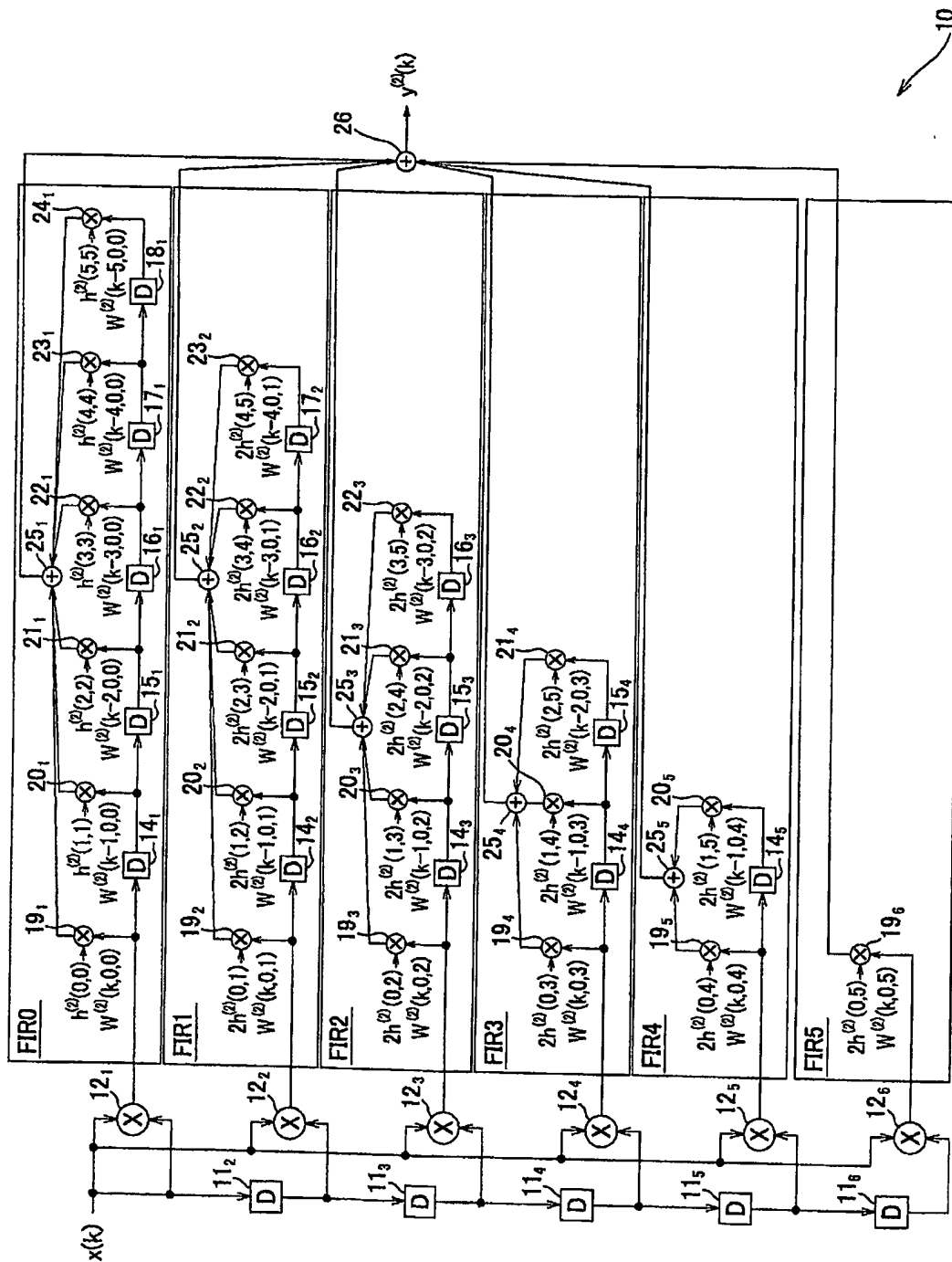
【図10】



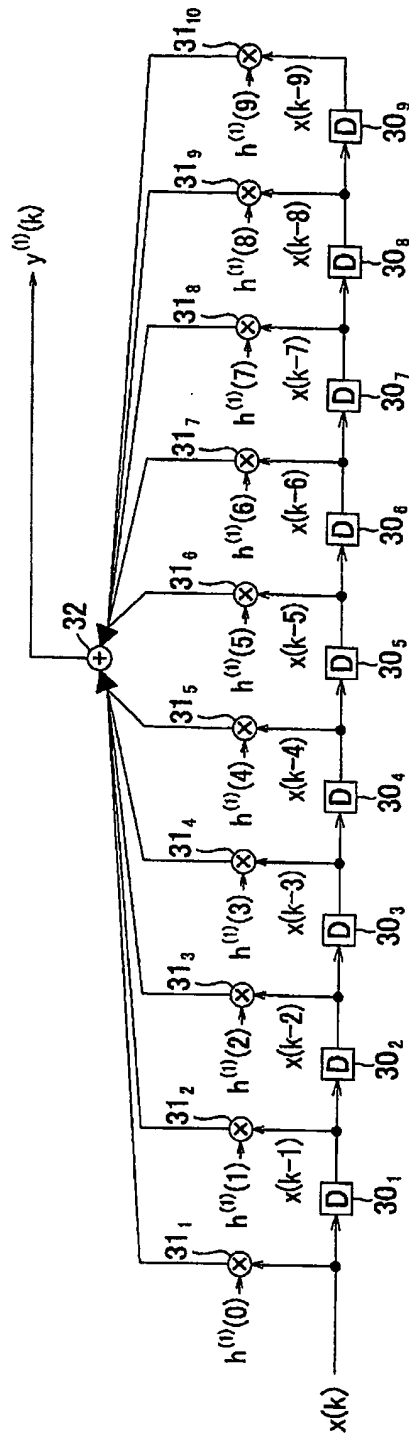
【図 11】



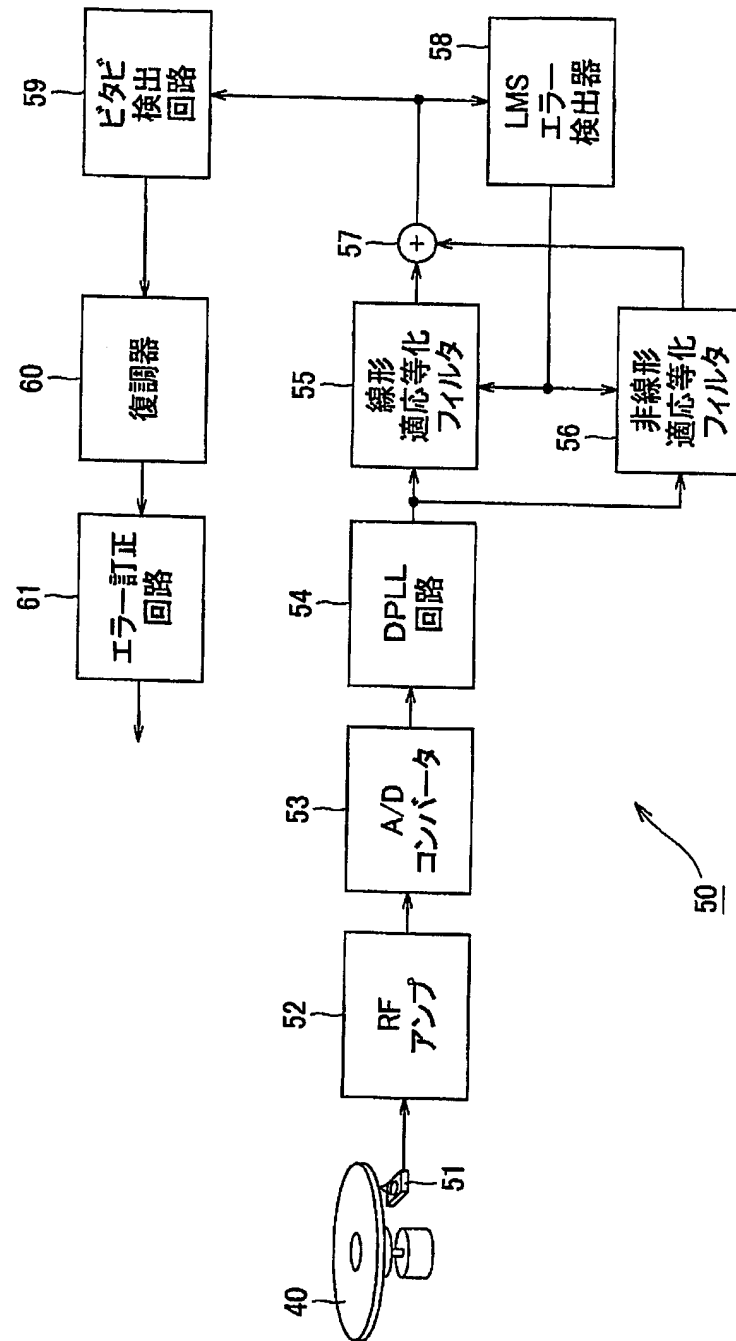
【図 12】



【図 13】



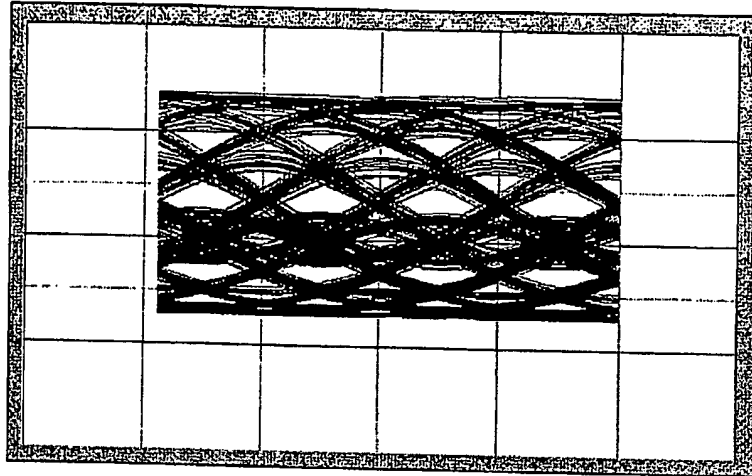
【図 14】



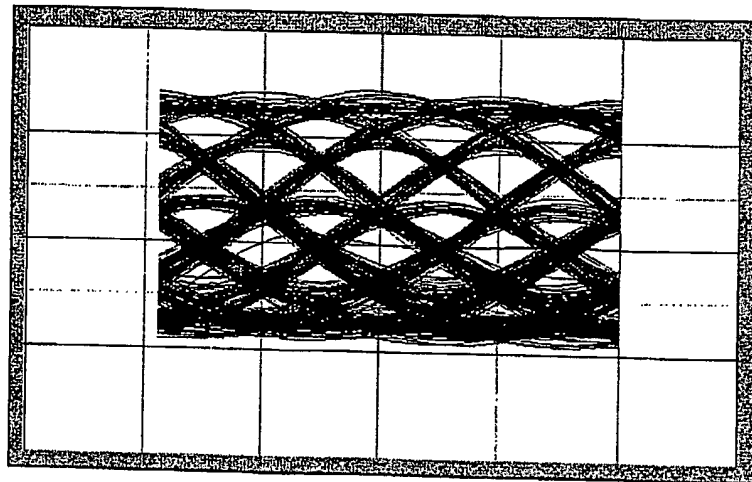
【図15】

BEST AVAILABLE COPY

(A)



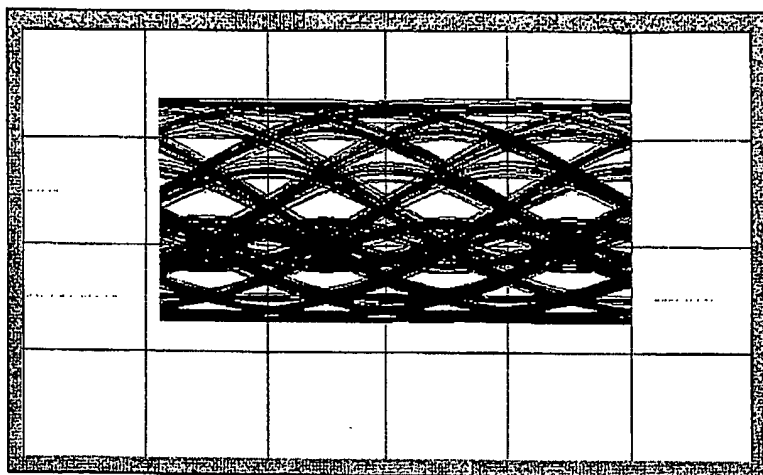
(B)



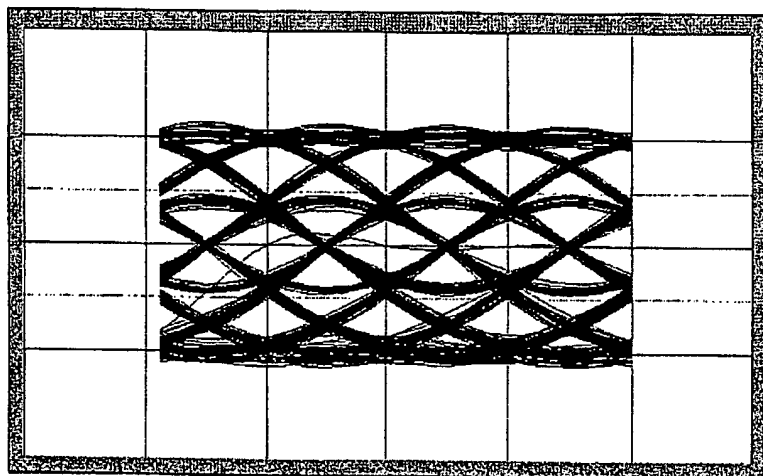
【図 16】

BEST AVAILABLE COPY

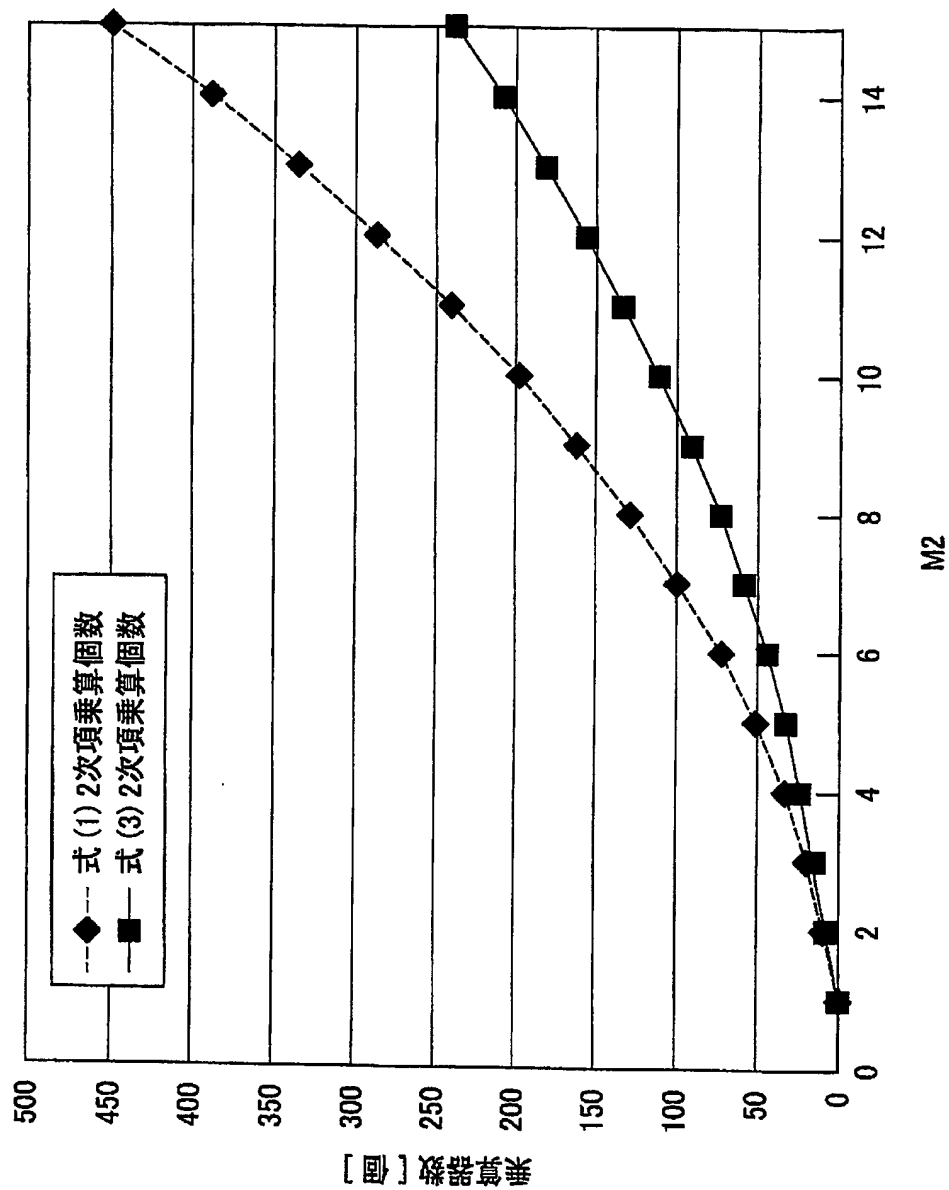
(A)



(B)



【図17】



【書類名】要約書

【要約】

【課題】 非線形歪を持つ入力信号を等化する際の乗算演算を大幅に削減する。

【解決手段】 2次ボルテラ・フィルタの2次項を実現する信号処理装置10は、第1の入力信号と第2の入力信号とを乗算する乗算手段を備え、各乗算手段は、該乗算手段から出力された信号をそれぞれ単位時間だけ遅延する1以上の直列に接続された遅延手段と、上記乗算手段から出力された信号及び上記各遅延手段から出力された信号に対して所定の係数を乗算する係数乗算手段とを有する。この乗算手段は、 n 個 (n は1以上の整数) 並列に接続されており、 k 番目 (k は $1 \leq k \leq n$ を満たす整数) の乗算手段は、上記第1の信号を上記単位時間の $(k-1)$ 倍だけ遅延した信号を上記第2の信号として用いる。

【選択図】 図9

特願 2004-112318

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社